

THIS PAGE IS INSERTED BY OIPE SCANNING

IMAGES WITHIN THIS DOCUMENT ARE BEST AVAILABLE COPY AND CONTAIN DEFECTIVE IMAGES SCANNED FROM ORIGINALS SUBMITTED BY THE APPLICANT.

DEFECTIVE IMAGES COULD INCLUDE BUT ARE NOT LIMITED TO:

BLACK BORDERS

TEXT CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT

ILLEGIBLE TEXT

SKEWED/SLANTED IMAGES

COLORED PHOTOS

BLACK OR VERY BLACK AND WHITE DARK PHOTOS

GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.
RESCANNING DOCUMENTS *WILL NOT*
CORRECT IMAGES.**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0014675

Application Number

출 원 년 월 일 : 2003년 03월 10일

Date of Application

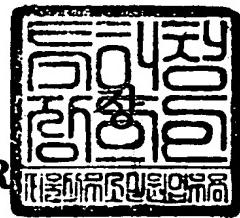
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.03.10		
【발명의 명칭】	금속-절연체-금속 캐패시터 및 그 제조 방법		
【발명의 영문명칭】	Metal-Insulator-Metal capacitor and method for manufacturing the same		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	박영우		
【대리인코드】	9-1998-000230-2		
【포괄위임등록번호】	1999-030203-7		
【발명자】			
【성명의 국문표기】	박상훈		
【성명의 영문표기】	PARK, Sang Hoon		
【주민등록번호】	720202-1560316		
【우편번호】	442-757		
【주소】	경기도 수원시 팔달구 원천동 원천주공2아파트 206동 100호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박영우 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	16	면	16,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	19	항	717,000 원
【합계】	762,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

안정적인 구조와 개선된 전기적 특성을 갖는 금속-절연체-금속 캐패시터 및 그 제조 방법이 개시된다. 절연막에 매립되는 하부 전극을 형성하고, 하부 전극 상에 유전층을 형성한 후, 유전층 상에 상부 전극층을 형성하고, 상부 전극층 상에 제1 보호막 패턴을 형성한다. 제1 보호막 패턴을 마스크로 이용하여 상부 전극층을 식각하여 상부 전극을 형성한 다음, 유전층으로부터 상기 제1 보호막 패턴을 감싸는 제2 보호막을 형성한다. 제1 보호막 패턴 및 제2 보호막에 의하여 MIM 캐패시터의 상부 전극을 형성하기 위한 식각 공정 시에 플라즈마로 인한 상부 전극 및 유전층의 손실로부터 야기되는 단위 캐패시턴스의 저하를 방지할 수 있는 동시에 상부 전극으로부터의 누설 전류의 발생을 차단하여 캐패시터의 전기적인 특성을 개선할 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

금속-절연체-금속 캐패시터 및 그 제조 방법{Metal-Insulator-Metal capacitor and method for manufacturing the same}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래의 금속-절연체-금속 캐패시터의 제조 방법을 설명하기 위한 단면도들이다.

도 2는 본 발명에 따른 금속-절연체-금속 캐패시터를 포함하는 반도체 장치의 단면도이다.

도 3a 내지 도 3g는 본 발명에 따른 금속-절연체-금속 캐패시터를 포함하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 4는 종래의 MIM 캐패시터와 본 발명에 따른 MIM 캐패시터의 단위 용량의 분포를 나타내는 그래프이다.

도 5는 종래의 MIM 캐패시터와 본 발명에 따른 MIM 캐패시터의 전기적 특성의 분포를 나타내는 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200 : 반도체 기판 105, 205 : 절연막

110, 225 : 제1 도전성 패턴 115, 230 : 제2 도전성 패턴

120, 235 : 유전층 125, 255 : 제3 도전성 패턴

130, 260 : 제1 보호막 패턴 135, 265 : 제2 보호막

140, 270 : MIM 캐패시터 145, 275 : 제2 절연막

150, 300 : 제1 콘택 155, 305 : 제1 상부 배선

160, 310 : 제2 콘택 165, 315 : 제2 상부 배선

215 : 제1 트렌치 220 : 제2 트렌치

280 : 제1 비어홀 285 : 제2 비어홀

290 : 제3 트렌치 295 : 제4 트렌치

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 금속-절연체-금속(Metal-Insulator-Metal: MIM) 캐패시터 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 적어도 하나의 보호층을 구비하여 안정적인 구조와 개선된 전기적 특성을 가지는 MIM 캐패시터 및 그 제조 방법에 관한 것이다.

<18> 일반적으로, DRAM과 같은 메모리용 반도체 장치들은 데이터나 프로그램의 명령과 같은 정보를 기억하는 장치로서 기억된 정보를 읽어내기도 하고 다른 정보를 기억시킬 수 있다. 하나의 메모리 소자는 대개 1개의 트랜지스터와 1개의 캐패시터로 구성되어 있는 데, 예를 들면, 16M DRAM은 단위 칩당 트랜지스터와 커패시터가 각기 1600만개씩 내장된 고집적 메모리 소자이다. 통상적으로 DRAM 소자 등에 포함되는 캐패시터는 스토리지 노드(storage node), 셀 플레이트(cell plate) 및 총간 절연막 등으로 구성된다. 이러한 캐패시터를 포함하는 메모리 소자의 용량을 향상

시키기 위해서는 캐패시터의 정전 용량을 증가시키는 것이 매우 중요하다. 근래 들어, DRAM 소자의 집적도가 기가(giga)급 이상으로 증가함에 따라 단위 셀(cell) 당 허용 면적의 감소가 지속되면서 DRAM 소자의 제조 공정 상에 여러 가지 문제가 발생하게 되었다. 그 가운데 대표적인 것으로는 극단적으로 작은 면적을 갖는 캐패시터로부터 반도체 소자의 동작에 필요한 약 $25\mu\text{F}/\text{cell}$ 이상의 정전 용량(capacitance)을 확보하는 것이다. DRAM 소자의 집적도가 수 메가(mega)급 이었을 경우에는, 캐패시터의 유전체 박막을 구성하는 물질로서 실리콘 산화물(SiO_2) 또는 실리콘 산화물/실리콘 질화물($\text{SiO}_2/\text{Si}_3\text{N}_4$) 등과 같은 저유전율을 갖는 물질을 사용하며, 캐패시터의 전극의 구성 물질로는 도핑된 폴리실리콘을 사용하였다. 폴리실리콘은 박막으로 형성하는 공정을 매우 안정적으로 수행할 수 있으며, 그 식각이 용이하기 때문에 여러 가지의 원하는 형태로 가공할 수 있다. 따라서, 폴리실리콘으로 캐패시터의 전극을 형성할 경우, 캐패시터의 면적(A)을 증가시키기 용이하기 때문에 커패시턴스(C)를 확보할 수 있다. 캐패시터의 정전 용량을 확보하기 위하여, 초기에는 캐패시터의 형상을 평탄한 구조로 제작하다가, 점차로 박스(box) 형상 또는 실린더(cylinder) 형상으로 형성하거나, 전극의 표면에 요철부를 형성하여 커패시터의 유효 표면적을 증가시키는 반구형 입자를 갖는 형태 등을 사용하고 있다. 이와 같이, 실리콘이 캐패시터의 상부 및 하부 전극으로 사용되는 캐패시터를 실리콘-절연체-실리콘(Silicon-Insulator-Silicon; SIS) 캐패시터라 한다.

<19> 그러나, 현재와 같이 DRAM 소자의 집적도가 기가(giga)급 이상의 집적도를 갖는 DRAM 소자가 요구되는 경우, 전술한 캐패시터의 형상을 변경하는 방법에 의해서는 캐패시터에 요구되는 충분한 커패시턴스를 확보하기 어렵다. 이에 따라, 지난 수년간 보다

큰 유전율(ϵ_r)을 갖는 새로운 고유전체를 커패시터의 유전체 박막으로 사용하고자 하는 연구가 매우 활발해지고 있다. 이러한 고유전율을 갖는 유전체로서 가장 널리 연구된 물질은 탄탈륨 산화물(Ta_2O_5)이지만, 최근에는 알루미늄 산화물(Al_2O_3)이나 하프늄 산화물(HfO_2) 등과 같은 물질들이 많은 각광을 받고 있다. 대체로, 실리콘 산화물(SiO_2)이 약 3.9 정도의 유전율을 가지며, 실리콘 산화물/실리콘 질화물(SiO_2/Si_3N_4)이 약 7 정도의 유전율을 갖는 것에 비하여, 전술한 이성분계 고유전율 유전체들은 그 유전율이 약 10~25 정도로 매우 큰 유전율을 가진다.

<20> 상술한 바와 같은 고유전체 물질의 특성이 캐퍼시터에서 충분히 발현되기 위하여서는 상부 및 하부전극과의 계면에 저유전율을 갖는 물질이 형성되지 않아야 한다. 그러나, 종래의 전극 재료인 실리콘은 고유전율 물질을 증착하기 위한 공정 온도에서 쉽게 산화되어 계면 산화막을 형성하기 때문에 전체적으로 캐퍼시터의 캐퍼시턴스 확보에 매우 나쁜 영향을 미치게 된다. 이러한 문제점을 해결하기 위하여, 백금(Pt)이나 루테늄(Ru) 등과 같은 귀금속이나 구리(Cu), 텉스텐(W), 텉스텐 질화물(WN), 또는 티타늄 질화물(TiN) 등과 같은 내열 금속으로서 캐퍼시터의 전극을 구성하여야 한다. 그러나, 이러한 귀금속 또는 내열 금속으로 이루어진 전극은 종래의 실리콘 전극에 비하여 현재까지 반도체 소자 제조 공정의 성숙도 및 가공 용이성 측면에서 볼 때, 많은 문제점을 내포하고 있기 때문에 전극의 표면적을 증가시키기 어려워 우수한 유전적 특성에도 불구하고 제한적인 정도로만 사용될 뿐, 전면적인 채용은 지연되고 있다. 또한, 내열 금속 전극은 산화 문제로 인하여 사용이 더욱 제한되고 있는 실정이다. 이와 같이 상부 및 하부 전극 모두가 귀금속이나 내열 금속으로 이루어진 캐퍼시터를 MIM 캐퍼시터라고 한다.

- <21> 최근까지는, 반도체 소자의 연결 라인의 재료로서 알루미늄(AI) 또는 알루미늄 합금을 사용하였다. 그러나, 현재는 정도로 알루미늄에 비하여 훨씬 낮은 비저항을 가지는 구리를 이용하여 금속 배선 및 MIM 캐패시터를 포함하는 반도체 장치를 제조하는 방법에 대하여 많은 연구가 진행되고 있다. 현재, 구리를 금속 배선이나 캐패시터의 하부 전극 또는 콘택으로 사용하는 반도체 장치는 주로 다마신(damascene) 공정을 적용하여 제조되고 있다.
- <22> 상기 다마신 공정을 이용하여 MIM 캐패시터를 제조하는 방법은 국내 공개 특허 제2002-94598호, 국내 공개 특허 제2002-055888호, 일본 공개특허 공보 제2002-151649, Eric Adler 등에게 허여된 미국특허 제6,259,128호, 그리고 Douglas R. Robert 등에게 허여된 미국특허 제6,461,914호 등에 제시되어 있다.
- <23> 도 1a 및 도 1d는 상기 미국특허 제6,461,914호에 개시된 MIM 캐패시터를 포함하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다.
- <24> 도 1a를 참조하면, 반도체 기판(10) 상에 산화물로 이루어진 절연막(15)을 형성한 후, 사진 식각 공정으로 절연막(15)의 소정 부분을 식각하여 절연막(15)에 개구(opening)(도시되지 않음)를 형성한다.
- <25> 이어서, 상기 개구를 채우면서 절연막(15) 상에 구리로 구성된 제1 금속층(도시되지 않음)을 형성한 다음, 화학 기계적 연마(CMP) 공정으로 제1 금속층을 연마하여 상기 개구 내에 MIM 캐패시터의 하부 전극으로 기능하는 제1 금속층 패턴(20)을 형성한다.

- <26> 도 1b를 참조하면, 반응성 이온(RIE) 또는 습식 식각(wet etching) 공정을 이용하여 제1 금속층 패턴(20)의 상부를 식각한 다음, 제1 금속층 패턴(20) 상에 도전성 산화 방지막 패턴(25)을 형성하여 MIM 캐패시터의 하부 전극을 완성한다.
- <27> 이어서, 상기 MIM 캐패시터의 하부 전극 및 절연막(15) 상에 유전막(30), 제2 금속층(35) 및 식각 저지막(40)을 순차적으로 형성한 후, 식각 저지막(40) 상에 제1 포토레지스트막(도시되지 않음)을 도포하고, 사진 공정을 통하여 제1 포토레지스트막을 패터닝하여 식각 저지막(40) 상에 제1 포토레지스트 패턴(45)을 형성한다.
- <28> 도 1c를 참조하면, 상기 제1 포토레지스트 패턴(45)을 마스크로 이용하여 식각 저지막(40) 및 제2 금속층(35)을 차례로 식각하여 MIM 캐패시터의 상부 전극(50) 및 상부 전극(50) 상에 위치하는 식각 저지막 패턴(55)을 형성한 다음, 제1 포토레지스트 패턴(45)을 제거하여 MIM 캐패시터를 완성한다.
- <29> 이어서, 상기 MIM 캐패시터를 포함하는 결과물 상에 충간 절연막(ILD)(60)을 형성한 다음, 충간 절연막(60) 상에 제2 포토레지스트막(도시되지 않음)을 도포한다. 계속하여, 사진 공정으로 상기 제2 포토레지스트막을 패터닝하여 충간 절연막(60) 상에 제2 포토레지스트 패턴(65)을 형성한다.
- <30> 도 1d를 참조하면, 제2 포토레지스트 패턴(65)을 마스크로 이용하여 충간 절연막(60) 및 식각 저지막 패턴(55)을 부분적으로 식각함으로써, 충간 절연막(60)에 도전성 산화 방지막 패턴(25)과 MIM 캐패시터의 상부 전극(50)을 노출시키는 비어홀들(도시되지 않음)을 형성한다.

<31> 계속하여, 제2 포토레지스트 패턴(65)을 제거한 다음, 상기 비어홀들을 채우면서 충간 절연막(60) 상에 텅스텐으로 구성된 제2 금속층(도시되지 않음)을 형성한다. 다음에, 화학 기계적 연마 공정으로 제2 금속층을 연마하여 MIM 캐패시터를 금속 배선과 연결시키기 위하여 상기 비어홀들 내에 비어 콘택(70)을 형성한다.

<32> 그러나, 전술한 MIM 캐패시터를 포함하는 반도체 장치의 제조 방법에 있어서, 포토레지스트 패턴을 마스크로 이용하여 식각 저지막 패턴 및 상부 전극을 형성하는 동안 상부 전극 아래의 유전막이 부분적으로 함께 소실되어 캐패시터의 불량을 야기하게 되는 문제점이 있다. 또한, 식각 공정을 통하여 식각 저지막 패턴 및 상부 전극을 형성하는 동안 노출되는 상부 전극의 측벽의 손상으로 인하여 누설 전류(leakage current)가 발생할 가능성이 매우 커진다. 더욱이, 식각 공정을 이용하여 MIM 캐패시터의 각 구조물들을 형성할 경우, 각 구조물들이 식각 공정으로 인해 부분적으로 손상을 입기 때문에 MIM 캐패시터의 구조적인 안정성이 취약하게 되는 문제가 발생한다.

【발명이 이루고자 하는 기술적 과제】

<33> 본 발명의 제1 목적은 적어도 하나의 보호층을 이용하여 상부 전극 및 유전막 등의 각 구조물들의 구조적인 안정성을 향상시키는 동시에 누설 전류를 방지하여 개선된 특성을 가지는 MIM 캐패시터를 제공하는 것이다.

<34> 본 발명의 제2 목적은 식각 공정 전후에 적어도 하나의 보호층을 형성하여 식각 공정으로 인한 각 구조물들의 손상 및 특성 저하를 방지할 수 있는 MIM 캐패시터의 제조 방법을 제공하는 것이다.

<35> 본 발명의 제3 목적은 향상된 구조적 안정성 및 개선된 특성을 갖는 MIM 캐패시터를 포함하는 반도체 장치의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<36> 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 바람직한 실시예에 따른 금속-절연체-금속(MIM) 캐패시터는, 하부 전극, 상기 하부 전극 상에 형성되며, 돌출된 중앙부를 포함하는 유전층, 상기 유전층의 중앙부 상에 형성된 상부 전극, 상기 상부 전극 상에 형성된 제1 보호막 패턴, 그리고 상기 제1 보호막 패턴 상에 형성된 제2 보호막을 포함한다. 이 때, 상기 유전층의 중앙부와 나머지 부분의 두께의 차이는 상기 제1 보호막 패턴 및 상기 제2 보호막의 두께와 동일하게 형성된다. 또한, 상기 상부 전극은 티타늄 질화물 또는 탄탈륨 질화물을 포함하고, 상기 유전층은 산화물, 질화물 또는 산화물과 질화물의 복합물을 포함하며, 상기 제1 보호막 패턴 및 상기 제2 보호막은 각기 실리콘 질화물 또는 실리콘 탄화물을 포함한다.

<37> 상술한 본 발명의 제2 목적을 달성하기 위하여 본 발명의 바람직한 실시예에 따른 금속-절연체-금속 캐패시터의 제조 방법에 의하면, 절연막에 매립되는 하부 전극을 형성하고, 상기 하부 전극 상에 유전층을 형성한 후, 상기 유전층 상에 상부 전극층을 형성하고, 상기 상부 전극층 상에 제1 보호막 패턴을 형성한다. 이어서, 상기 제1 보호막 패턴을 마스크로 이용하여 상기 상부 전극층을 식각하여 상부 전극을 형성한 다음, 상기 유전층으로부터 상기 제1 보호막 패턴을 감싸는 제2 보호막을 형성한다. 이 경우, 상기 상부 전극을 형성하는 동안 상기 제1 보호막 패턴 및 상기 상부 전극 주변의 상기 유전층도 부분적으로 식각되며, 상기 식각된 제1 보호막 패턴의 두께 및 상기 제2 보호막의 두께는 상기 유전층의 식각된 부분의 깊이와 동일하게 형성된다.

<38> 상술한 본 발명의 제3 목적을 달성하기 위하여 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법에 의하면, 기판 상에 제1 절연막을 형성하고, 상기 제1 절연막에 매립되는 하부 배선 및 하부 전극을 형성한 다음, 상기 하부 배선, 상기 하부 전극 및 상기 절연막 상에 유전층을 형성하고, 상기 유전층 상에 도전막을 형성한다. 계속하여, 상기 도전막 상에 제1 보호막을 형성하고, 상기 제1 보호막을 식각하여 상기 도전막 상에 제1 보호막 패턴을 형성한 후, 상기 제1 보호막 패턴을 마스크로 이용하여 상기 도전막을 식각하여 상기 하부 전극 상부의 상기 유전층 상에 상부 전극을 형성한다, 이어서, 상기 유전층 및 상기 제1 보호막 패턴 상에 제2 보호막을 형성하고, 상기 제2 보호막 상에 제2 절연막을 형성한 다음, 상기 제2 절연막을 관통하여 상기 하부 배선에 접촉되는 제1 콘택을 형성하고, 상기 제2 절연막, 상기 제2 보호막 및 상기 제1 보호막 패턴을 관통하여 상기 상부 전극에 접촉되는 제2 콘택을 형성한다. 다음에, 상기 제1 및 제2 콘택 상에 제1 및 제2 상부 배선을 형성한다.

<39> 본 발명에 의하면, 제1 보호막 패턴 및 제2 보호막에 의하여 MIM 캐패시터의 상부 전극을 형성하기 위한 식각 공정 시에 플라즈마로 인한 상부 전극 및 유전층의 손실로부터 야기되는 단위 캐패시턴스의 저하를 방지할 수 있는 동시에 상부 전극으로부터의 누설 전류의 발생을 차단하여 캐패시터의 전기적인 특성을 개선할 수 있다. 또한, 제1 보호막 패턴을 마스크로 이용하여 상부 전극을 형성할 수 있으므로 시진 식각 공정 시에 발생하는 금속성 부산물의 발생을 방지할 수 있으며, 제2 보호막에 의하여 상부 전극의 변형을 방지하는 등 MIM 캐패시터가 안정적인 구조를 가지도록 MIM 캐패시터의 구조 안정성을 향상시킬 수 있다. 더욱이, 상부 전극을 형성하는 동안 손실되는 유전층을 제2

보호막에 의하여 보상함으로써, 후속하는 반도체 장치의 제조 공정을 안정적으로 진행할 수 있다.

<40> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 따른 MIM 캐패시터와 이를 포함하는 반도체 장치의 방법을 상세하게 설명하지만 본 발명이 하기의 실시예에 의해 제한되거나 한정되는 것은 아니다.

<41> 도 2는 본 발명에 따른 MIM 캐패시터를 포함하는 반도체 장치의 단면도를 도시한 것이다.

<42> 도 2를 참조하면, 본 발명에 따른 반도체 장치는 제1 절연막(105) 및 제2 절연막(145)을 개재하여 반도체 기판(100) 상에 형성된 MIM 캐패시터(140)를 포함한다.

<43> 상기 반도체 기판(100) 상에 형성된 제1 절연막(105)은 실리콘 산화물 또는 실리콘 질화물로 이루어진다. 이 경우, 반도체 기판(100) 상에는 MOS(Metal Oxide Semiconductor) 트랜지스터를 포함하는 트랜지스터 구조물(도시되지 않음)이 형성되며, 제1 절연막(105)은 상기 트랜지스터 구조물을 덮으면서 반도체 기판 상(100)에 형성된다. 제1 절연막(105)의 상면은 에치 백(etch back) 또는 화학 기계적 연마(CMP) 공정과 같은 평탄화 공정을 통하여 평탄하게 형성된다.

<44> 본 발명에 있어서, MIM 캐패시터(140)는 제1 절연막(105)에 매립된 하부 전극인 제2 도전성 패턴(115), 제1 절연막(105) 상에 형성된 유전층(120), 유전층(120)의 일측 상부에 형성된 상부 전극인 제3 도전성 패턴(125), 제3 도전성 패턴(125) 상에 형성된 제1 보호막 패턴(130), 그리고 유전층(120), 제3 도전성 패턴(125) 및 제1 보호막 패턴(130)을 감싸도록 제1 절연막(105) 상에 형성된 제2 보호막(135)을 포함한다.

<45> 제1 절연막(105)에는 반도체 장치의 하부 금속 배선 및 MIM 캐패시터(140)의 하부 전극을 위한 제1 및 제2 트렌치(215, 220; 도 3a 참조)가 제공된다. 제1 및 제2 트렌치(215, 220)에는 각기 반도체 장치의 하부 금속 배선인 제1 도전성 패턴(110) 및 MIM 캐패시터(140)의 하부 전극인 제2 도전성 패턴(115)이 위치한다. 제1 및 제2 도전성 패턴(110, 115)은 각기 구리(Cu), 텅스텐(W), 알루미늄(Al), 루테늄(Ru), 백금(Pt), 티타늄, 텅스텐 질화물 또는 티타늄 질화물 등으로 구성된다.

<46> 제1 및 제2 도전성 패턴(110, 115)이 형성된 제1 절연막(105) 상에는 산화막 또는 질화막으로 이루어진 유전층(120)이 형성된다. 이 때, 유전층(120)은 산화막 및 질화막의 복합막 구조를 가질 수도 있다. 상기 유전층(120)의 일측인 MIM 캐패시터(140)의 하부 전극인 제2 도전성 패턴(115) 상에 위치하는 부분은 상부로 약간 둘출되는 구조를 가진다.

<47> MIM 캐패시터(140)의 상부 전극인 제3 도전성 패턴(125)은 상기 유전층(120)의 일측 상에 위치한다. 제3 도전성 패턴(125)은 티타늄 질화물(TiN) 또는 탄탈륨 질화물(TaN)로 이루어지며, 약 200~1000Å 정도의 두께를 가진다.

<48> 제3 도전성 패턴(125) 상에는 실리콘 질화물 또는 실리콘 탄화물로 구성된 제1 보호막 패턴(130)이 위치한다. 제1 보호막 패턴(130)은 약 300~700Å 정도의 두께를 가진다. 이러한 제1 보호막 패턴(130)은 MIM 캐패시터(140)의 상부 전극인 제3 도전성 패턴(125)을 형성하기 위한 식각 공정에서 제3 도전성 패턴(125)이 식각에 사용되는 플라즈마(plasma)로부터 손상을 입는 것을 방지하는 역할을 한다. 또한, 제1 보호막 패턴(130)은 금속을 포함하는 제3 도전성 패턴(125)의 형성 시에 식각 공정에 따라 제3 도전성 패턴(125)으로부터 금속성 불순물이 발생되는 것을 방지하는 기능도 수행한다.

<49> 제2 보호막(135)은 실리콘 질화물 또는 실리콘 탄화물로 이루어지며, 유전막(120)의 일측 상부에 위치하는 제1 보호막 패턴(130)을 덮으면서 유전막(120) 상에 균일한 두께로 형성된다. 이 때, 제2 보호막(135)은 약 200~700Å 정도의 두께로 형성된다. 본 발명에 있어서, 제1 보호막 패턴(130)은 상부 전극인 제3 도전성 패턴(125)의 상면을 보호하며, 제2 보호막(135)은 제3 도전성 패턴(125)의 측벽과 유전층(120)의 돌출된 부분의 측벽을 보호한다. 이에 따라, 비록 상부 전극인 제3 도전성 패턴(135)이 플라즈마를 이용한 식각 공정으로 인하여 손상을 입더라도 제3 도전성 패턴(130)으로부터 누설 전류가 발생하는 현상을 방지할 수 있다.

<50> 하부 전극인 제2 도전성 패턴(115), 유전층(120), 상부 전극인 제3 도전성 패턴(125), 제1 보호막 패턴(130) 및 제1 보호막(135)을 포함하는 MIM 캐패시터(140)가 형성된 반도체 기판(100)의 상부에는 충간 절연막인 제2 절연막(145)이 형성된다. 제2 절연막(145)은 실리콘 질화물 또는 실리콘 산화물로 구성된다.

<51> 제2 절연막(145)의 일측에는 제1 콘택(150) 및 제1 상부 배선(155)을 위한 제1 비어홀(280; 도 3f 참조) 및 제3 트렌치(280; 도 3f 참조)가 제공되며, 제2 절연막(145)의 타측에는 제2 콘택(160) 및 제1 상부 배선(165)을 위한 제2 비어홀(285; 도 3f 참조) 및 제4 트렌치(295; 도 3f 참조)가 제공된다. 제1 비어홀(280)은 제2 절연막(145)을 관통하여 제1 절연막(105)의 일측에 매립된 하부 배선인 제1 도전성 패턴(110)을 노출시키도록 형성되며, 제2 비어홀(285)은 제1 절연막(145), 제2 보호막(135) 및 제1 보호막 패턴(130)을 관통하여 MIM 캐패시터(140)의 상부 전극인 제3 도전성 패턴(125)을 노출시키도록 형성된다.

<52> 제1 및 제2 비어홀(280, 285)에는 각기 텡스텐, 티타늄, 티타늄 질화물 또는 탄탈륨 질화물로 이루어진 제1 및 제2 콘택(150, 160)이 위치한다. 한편, 제3 및 제4 트렌치(290, 295)에는 각기 구리, 텡스텐, 티타늄, 티타늄 질화물 또는 탄탈륨으로 구성된 제1 및 제2 상부 배선(155, 165)이 형성된다. 이에 따라, 하부 배선인 제1 도전성 패턴(110)은 제1 콘택(150)을 통하여 제1 상부 배선(155)과 전기적으로 연결되며, MIM 캐패시터(140)는 제2 콘택(160)을 통하여 제2 상부 배선(165)과 전기적으로 연결된다. 본 발명에 따르면, MIM 캐패시터(140)의 하부 전극인 제2 도전성 패턴(115)과 상부 전극인 제3 도전성 패턴(125)은 MIM 캐패시터(140) 전용으로만 사용되는 것이 아니라 상기 제2 콘택(160)을 통하여 제2 상부 배선(165)에 연결되기 때문에 MIM 캐패시터(140)를 구성하는 구조물들을 상부 및 하부 금속 배선들을 서로 연결하는 용도로도 사용할 수 있다.

<53> 이하, 본 발명에 따른 MIM 캐패시터를 포함하는 반도체 장치의 제조 방법을 설명한다.

<54> 도 3a 내지 도 3g는 도 2에 도시한 MIM 캐패시터를 포함하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다.

<55> 도 3a를 참조하면, MOM 트랜지스터와 같은 트랜지스터 구조물을(도시되지 않음)이 형성된 반도체 기판(200) 상에 상기 트랜지스터 구조물을 덮는 제1 절연막(205)을 형성한다. 제1 절연막(205)은 산화물이나 질화물을 화학 기상 증착 공정 또는 물리 기상 증착 공정을 통하여 반도체 기판(200) 상에 증착함으로써 형성된다. 예를 들면, 제1 절연막(205)은 중온 산화물(MTO), TEOS(tetraethyl orthosilicate), BPSG(boro-phosphor

silicate glass) 또는 USG(undoped silicate glass) 등과 같은 실리콘 산화물이나 실리콘 질화물(Si_xN_y)로 이루어진다.

<56> 계속하여, 상기 제1 절연막(205) 상에 스핀 코팅 공정으로 제1 포토레지스트막(도시되지 않음)을 도포한 다음, 도포된 제1 포토레지스트막을 노광 및 현상하여 제1 절연막(205) 상에 제1 포토레지스트 패턴(210)을 형성한다. 이 경우, 제1 포토레지스트 패턴(210)은 후속하여 하부 배선 및 MIM 캐퍼시터의 하부 전극의 형성될 위치를 고려하여 제1 절연막(205)의 부분들을 선택적으로 노출시킨다.

<57> 이어서, 제1 포토레지스트 패턴(210)을 마스크로 이용하여 노출된 제1 절연막(205)을 식각함으로써, 제1 절연막(205)에 소정의 폭과 깊이를 가지는 제1 및 제2 트렌치(215, 220)를 형성한다. 다음에, 제1 포토레지스트 패턴(210)을 애싱(ashing) 및 스트립핑(stripping) 공정을 이용하여 제1 절연막(205)으로부터 제거한다.

<58> 도 3b를 참조하면, 제1 절연막(205)에 형성된 제1 및 제2 트렌치(215, 220)를 채우면서 제1 절연막(205) 상에 제1 도전막(도시되지 않음)을 형성한다. 이 때, 제1 도전막은 구리, 텅스텐, 알루미늄, 루테늄, 백금, 티타늄, 텅스텐 질화물 또는 티타늄 질화물 등으로 이루어지며, 화학 기상 증착 공정, 스퍼터링 공정, 또는 전기 도금 공정을 통하여 형성된다. 예를 들면, 제1 도전막이 구리로 구성될 경우, 제1 및 제2 트렌치(215, 220)에 스퍼터(sputter)를 사용하여 장벽 금속층(barrier metal layer)과 구리 시드층(seed layer)을 형성한 다음, 전기 도금 공정을 이용하여 구리 시드층 상에 구리층을 형성한다.

- <59> 이어서, 에치 백 공정 내지 화학 기계적 연마 공정을 통하여 상기 제1 절연막(205)이 노출될 때까지 제1 도전막을 제거함으로써, 제1 및 제2 트렌치(215, 220)에 각기 매립되는 제1 도전성 패턴 및 제2 도전성 패턴(225, 230)을 형성한다. 이 때, 제1 도전성 패턴(225)은 반도체 장치의 하부 배선으로 기능하며, 제2 도전성 패턴(230)은 MIM 캐패시터의 하부 전극의 역할을 수행한다.
- <60> 도 3c를 참조하면, 제1 및 제2 도전성 패턴(225, 230)을 포함하는 제1 절연막 상에 화학 기상 증착 공정을 이용하여 실리콘 산화물, 실리콘 질화물 또는 실리콘 산화물과 실리콘 질화물의 복합물로 구성된 유전층(235)을 형성한다. 즉, 유전층(235)은 단일 산화막, 단일 질화막 또는 산화막과 질화막을 포함하는 복합막으로 구성된다. 이 때, 유전층(235)은 MIM 캐패시터에 요구되는 캐패시턴스에 따라 적절한 두께(d_{11})를 가진다.
- <61> 이어서, 유전층(235) 상에 화학 기상 증착 공정을 이용하여 티타늄 질화물 또는 탄탈륨 질화물로 구성된 제2 도전막(240)을 형성한다. 제2 도전막(240)은 약 200~1000Å 정도의 두께로 형성된다. 제2 도전막(240)은 후에 MIM 캐패시터의 상부 전극인 제3 도전성 패턴(255)으로 패터닝된다.
- <62> 계속하여, 제2 도전막(240) 상에 화학 기상 증착 공정 또는 물리 기상 증착 공정을 이용하여 실리콘 질화물 또는 실리콘 탄화물(SiC)로 이루어진 제1 보호막(245)을 형성한다. 제1 보호막(245)은 비도전성 물질로서 구리의 확산을 억제할 수 있는 물질로 형성하는 것이 바람직하다. 이 경우, 제1 보호막(245)은 약 300~700Å 정도의 두께(d_{21})로 형성된다.

<63> 본 발명에 있어서, 제1 보호막(245)은 일반적으로 구리를 사용하는 다마신 공정에 적용 가능한 물질로 구성되며, 제1 보호막(245)의 두께(d_{21})는 상부 전극을 형성하기 위하여 후속하여 진행되는 제2 도전막(240)의 식각 공정 시에 손실되는 양을 고려하여 제2 도전막(240)의 패터닝이 완료된 후에 MIM 캐패시터가 위치하지 않은 부분의 유전층(235)의 두께(d_{12})와 제3 도전성 패턴(255) 상에 남아 있는 제1 보호막(245)의 두께(d_{22})가 동일하도록 산정된다. 이러한 점을 고려하여, 제1 보호막(245)은 약 300~700Å 정도의 두께(d_{21})로 형성된다. 이와 같은 제1 보호막(245)의 두께(d_{21})는 MIM 캐패시터를 형성한 다음, 후속하여 진행되는 상부 배선 형성 공정에서 식각 공정 조건을 결정하게 된다. 또한, 제1 보호막 패턴(260)을 형성하고 이를 마스크로 이용하여 상부 전극인 제3 도전성 패턴(255)을 형성하기 때문에, 종래의 사진 식각 공정 시에 생성되어 제거하기 어려운 금속성 부산물이 발생하는 것을 방지할 수 있다.

<64> 도 3d를 참조하면, 제1 보호막(245) 상에 제2 포토레지스트막(도시되지 않음)을 도포하고, 도포된 제2 포토레지스트막을 노광 및 현상하여 제2 포토레지스트 패턴을 형성한다. 이어서, 상기 제2 포토레지스트 패턴을 마스크로 이용하여 제1 보호막(245)을 패터닝하여 제2 도전막(240) 상에 제1 보호막 패턴(260)을 형성한 다음, 제2 포토레지스트 패턴을 제거한다.

<65> 계속하여, 제1 보호막 패턴(260)을 마스크로 이용하여 제2 도전막(240)을 식각함으로써, 유전층(235) 상에 MIM 캐패시터의 상부 전극으로 기능하는 제3 도전성 패턴(255)을 형성한다. 이 때, 제3 도전성 패턴(255)은 유전층(235) 가운데 아래에 하부 전극인 제2 도전성 패턴(230)이 위치하는 부분 상에 형성된다. 상기 제2 도전막(240)을 식각하여 MIM 캐패시터의 상부 전극인 제3 도전성 패턴(255)을 형성하는 동안 제1 보호막

패턴(260)과 유전층(235)도 함께 식각된다. 본 발명에 따르면, 전술한 바와 같이, 제3 도전성 패턴(255)을 형성하는 동안 제1 보호막(245) 및 유전층(235)이 식각되는 양도 고려하여 제1 보호막(245)이 적절한 두께(d_{21})를 가지도록 형성하기 때문에, 제2 도전막(240)의 식각이 완료된 후, 제1 보호막 패턴(260)의 두께(d_{22})는 식각된 유전층(250)의 두께(d_{12})와 동일하게 된다.

<66> 도 3e를 참조하면, 식각된 유전층(250) 및 제1 보호막 패턴(260) 상에 화학 기상 증착 공정 또는 물리 기상 증착 공정으로 제2 보호막(265)을 형성한다. 제2 보호막(265)은 실리콘 질화물 또는 실리콘 탄화물로 구성되며, 약 200~700Å 정도의 두께(d_3)를 갖도록 형성된다. 이 때, 제2 보호막(265)은 제1 보호막 패턴(260), 제3 도전막 패턴(255) 및 노출된 유전층(250)의 측벽들을 감싸도록 형성된다.

<67> 본 발명에 따르면, 제2 보호막(265)은 제3 도전성 패턴(255)을 형성하는 동안 손실되었던 유전층(250)을 보상하여 후속 공정을 안정적으로 진행할 수 있게 한다. 또한, 상부 전극인 제3 도전성 패턴(255)을 형성함에 따라 노출되는 제1 보호막 패턴(260), 제3 도전성 패턴(255) 및 유전층(250)의 측벽들 상에도 제2 보호막(265)이 형성되기 때문에, MIM 캐패시터(270)의 구조적인 안정성을 향상시킬 수 있을 뿐만 아니라 누설 전류가 발생하는 것을 방지할 수 있으므로 MIM 캐패시터(270)의 특성을 향상시킬 수 있다.

<68> 도 3f를 참조하면, 상기 MIM 캐패시터(270)를 포함하는 결과물 상에 산화물 또는 질화물을 화학 기상 증착 공정으로 증착하여 제2 절연막(275)을 형성한다. 제2 절연막(275)은 전술한 제1 절연막(205)과 동일한 물질을 사용하여 형성할 수 있지만, 제1 및 제2 절연막(205, 275)이 각기 상이한 물질로 이루어질 수도 있다.

<69> 이어서, 제2 절연막(275) 상에 제3 포토레지스트막(도시되지 않음)을 스펀 코팅 공정으로 도포하고, 도포된 제3 포토레지스트막을 노광 및 현상하여 제3 포토레지스트 패턴을 형성한다. 다음에, 상기 제3 포토레지스트 패턴을 마스크로 이용하여 제2 절연막(275)을 식각함으로써, 제2 절연막(275)의 일측에는 하부 배선인 제1 도전성 패턴(225)을 노출시키는 제1 비어홀(280)과 제3 트렌치(290)를 형성한다. 이 경우, 제2 절연막(275)의 타측에는 제2 절연막(275), 제2 보호막(265) 및 제1 보호막 패턴(255)이 함께 식각되어 MIM 캐패시터(270)의 상부 전극인 제3 도전성 패턴(255)을 노출시키는 제2 비어홀(285)과 제4 트렌치(295)가 형성된다. 한편, 제3 및 제4 트렌치(290, 295)는 제2 절연막(275)에 제1 및 제2 비어홀(280, 285)을 먼저 형성한 다음, 제2 절연막(275)을 추가적인 사진 식각 공정으로 식각하여 형성될 수 있다. 또한, 제3 및 제4 트렌치(290, 295)를 먼저 형성한 다음, 제1 및 제2 비어홀(280, 285)을 추가적인 사진 식각 공정을 이용하여 형성할 수도 있다.

<70> 도 3g를 참조하면, 제3 포토레지스트 패턴을 제거한 다음, 제1 및 제2 비어홀(280, 285)과 제3 및 제4 트렌치(290, 295)를 매립하면서 제2 절연막((275) 상에 제3 도전막(도시되지 않음)을 형성한다. 제3 도전막은 구리, 텅스텐, 루테늄, 백금, 티타늄, 티타늄 질화물 또는 탄탈륨 질화물 등으로 이루어지며, 화학 기상 증착 공정, 스퍼터링 공정 또는 전기 도금 공정으로 형성된다.

<71> 계속하여, 제2 절연막(275)이 노출될 때까지 제2 도전막을 에치 백 공정 또는 화학 기계적 연마 공정으로 제거하여 제1 및 제2 비어홀(280, 285)에 각기 제1 도전성 패턴(225) 및 제3 도전성 패턴(230)에 접촉되는 제1 및 제2 콘택(300, 310)을 형성한다. 이와 동시에, 제3 및 제4 트렌치(290, 295)에 각기 제1 상부 배선 및 제2 상부 배선(305,

310)을 형성한다. 따라서, 하부 배선인 제1 도전성 패턴(225)은 제1 콘택(300)을 통하여 제1 상부 배선(305)에 연결되며, MIM 캐패시터(270)의 상부 전극인 제3 도전성 패턴(255)은 제2 콘택(310)을 통하여 제2 상부 배선(315)에 연결된다. 본 발명에 따른 반도체 장치는 상술한 구성을 가짐으로써, 제2 도전성 패턴(230)과 제3 도전성 패턴(255)을 MIM 캐패시터(270) 전용으로만 이용하지 않고 반도체 장치의 상부 배선과 하부 배선을 연결하는 용도로도 사용할 수 있다.

<72> 도 4는 종래의 MIM 캐패시터와 본 발명에 따른 MIM 캐패시터의 단위 용량의 분포를 나타내는 그래프를 도시한 것이며, 도 5는 종래의 MIM 캐패시터와 본 발명에 따른 MIM 캐패시터의 전기적 특성의 분포를 나타내는 그래프를 도시한 것이다. 도 4에 있어서, 세로축은 MIM 캐패시터들의 단위 용량의 분포(distribution)를 나타내며, 가로축은 MIM 캐패시터들의 예시적인 단위 용량 값을 나타낸다. 또한, 도 5에 있어서, 세로축은 MIM 캐패시터들의 누설 전류의 분포(distribution)를 나타내며, 가로축은 MIM 캐패시터들의 예시적인 누설 전류 값을 나타낸다.

<73> 도 4 및 도 5에 도시한 바와 같이, 제1 및 제2 보호막을 적용하지 않은 종래의 MIM 캐패시터들의 단위 용량의 분포(A)는 예시적인 기준 값(예를 들면, 약 $1 \times 10^{-15} F$)으로부터 벗어나는 경우와 그 정도가 상대적으로 큰 반면에 본 발명에 따라 제1 및 제2 보호막을 채용한 MIM 캐패시터들의 단위 용량의 분포(B)는 기준 값으로부터 벗어나는 경우와 그 정도가 작은 것을 확인할 수 있다. 또한, 종래의 MIM 캐패시터들의 누설 전류의 분포(A)는 예시적인 기준 값(예를 들면, 약 $1 \times 10^{-12} F \Omega/\mu m^2$)으로부터 벗어나는 경우와 그 정도가 상대적으로 크지만, 본 발명에 따른 MIM 캐패시터들의 누설 전류의 분포(B)는 기준 값으로부터 벗어나는 경우와 그 정도가 작은 것을 확인할 수 있다. 따라서, 본 발명에

따른 MIM 캐패시터는 종래의 MIM 캐패시터에 비하여 향상된 전기적 특성을 가짐을 알 수 있다.

【발명의 효과】

<74> 본 발명에 의하면, 제1 보호막 패턴 및 제2 보호막에 의하여 MIM 캐패시터의 상부 전극을 형성하기 위한 식각 공정 시에 플라즈마로 인한 상부 전극 및 유전층의 손실로부터 야기되는 단위 캐패시턴스의 저하를 방지할 수 있는 동시에 상부 전극으로부터의 누설 전류의 발생을 차단하여 캐패시터의 전기적인 특성을 개선할 수 있다. 또한, 제1 보호막 패턴을 마스크로 이용하여 상부 전극을 형성할 수 있으므로 사진 식각 공정 시에 발생하는 금속성 부산물의 발생을 방지할 수 있으며, 제2 보호막에 의하여 상부 전극의 변형을 방지하는 등 MIM 캐패시터가 안정적인 구조를 가지도록 MIM 캐패시터의 구조 안정성을 향상시킬 수 있다. 더욱이, 상부 전극을 형성하는 동안 손실되는 유전층을 제2 보호막에 의하여 보상함으로써, 후속하는 반도체 장치의 제조 공정을 안정적으로 진행할 수 있다.

<75> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

하부 전극;

상기 하부 전극 상에 형성되며, 둘출된 중앙부를 포함하는 유전층;

상기 유전층의 중앙부 상에 형성된 상부 전극;

상기 상부 전극 상에 형성된 제1 보호막 패턴; 및

상기 제1 보호막 패턴 상에 형성된 제2 보호막을 포함하는 것을 특징으로 하는 금속-절연체-금속 캐패시터.

【청구항 2】

제 1 항에 있어서, 상기 하부 전극은 구리 또는 알루미늄을 포함하며, 상기 제2 보호막은 실리콘 질화물 또는 실리콘 탄화물을 포함하는 것을 특징으로 하는 금속-절연체-금속 캐패시터.

【청구항 3】

제 1 항에 있어서, 상기 유전층의 중앙부와 나머지 부분의 두께의 차이는 상기 제1 보호막 패턴의 두께와 동일한 것을 특징으로 하는 금속-절연체-금속 캐패시터.

【청구항 4】

제 3 항에 있어서, 상기 유전층의 중앙부와 나머지 부분의 두께의 차이는 상기 제2 보호막의 두께와 동일한 것을 특징으로 하는 금속-절연체-금속 캐패시터.

【청구항 5】

제 1 항에 있어서, 상기 상부 전극은 티타늄 질화물 또는 탄탈륨 질화물을 포함하며, 상기 유전층은 산화물, 질화물 또는 산화물과 질화물의 복합물을 포함하는 것을 특징으로 하는 금속-절연체-금속 캐패시터.

【청구항 6】

제 5 항에 있어서, 상기 제1 보호막 패턴 및 상기 제2 보호막은 각기 실리콘 질화물 또는 실리콘 탄화물을 포함하는 것을 특징으로 하는 금속-절연체-금속 캐패시터.

【청구항 7】

제 6 항에 있어서, 상기 제1 보호막 패턴의 두께 및 상기 제2 보호막의 두께는 300~700Å인 것을 특징으로 하는 금속-절연체-금속 캐패시터.

【청구항 8】

제 1 항에 있어서, 상기 제2 보호막은 상기 제1 보호막 패턴의 측벽으로부터 상기 유전층의 중앙부의 측벽까지 형성되는 것을 특징으로 하는 금속-절연체-금속 캐패시터.

【청구항 9】

절연막에 매립되는 하부 전극을 형성하는 단계;
상기 하부 전극 상에 유전층을 형성하는 단계;
상기 유전층 상에 상부 전극층을 형성하는 단계;
상기 상부 전극층 상에 제1 보호막 패턴을 형성하는 단계;
상기 제1 보호막 패턴을 마스크로 이용하여 상기 상부 전극층을 식각하여 상부 전극을 형성하는 단계; 및

상기 유전층으로부터 상기 제1 보호막 패턴을 감싸는 제2 보호막을 형성하는 단계를 포함하는 금속-절연체-금속 캐패시터의 제조 방법.

【청구항 10】

제 9 항에 있어서, 상기 상부 전극을 형성하는 동안 상기 제1 보호막 패턴 및 상기 상부 전극 주변의 상기 유전층도 부분적으로 식각되는 것을 특징으로 하는 금속-절연체-금속 캐패시터의 제조 방법.

【청구항 11】

제 10 항에 있어서, 상기 식각된 제1 보호막 패턴의 두께는 상기 유전층의 식각된 부분의 깊이와 동일한 것을 특징으로 하는 금속-절연체-금속 캐패시터의 제조 방법.

【청구항 12】

제 11 항에 있어서, 상기 제2 보호막의 두께는 상기 유전층의 식각된 부분의 깊이와 동일한 것을 특징으로 하는 금속-절연체-금속 캐패시터의 제조 방법.

【청구항 13】

기판 상에 제1 절연막을 형성하는 단계;

상기 제1 절연막에 매립되는 하부 배선 및 하부 전극을 형성하는 단계;

상기 하부 배선, 상기 하부 전극 및 상기 절연막 상에 유전층을 형성하는 단계;

상기 유전층 상에 도전막을 형성하는 단계;

상기 도전막 상에 제1 보호막을 형성하는 단계;

상기 제1 보호막을 식각하여 상기 도전막 상에 제1 보호막 패턴을 형성하는 단계;

상기 제1 보호막 패턴을 마스크로 이용하여 상기 도전막을 식각하여 상기 하부 전극 상부의 상기 유전층 상에 상부 전극을 형성하는 단계;

상기 유전층 및 상기 제1 보호막 패턴 상에 제2 보호막을 형성하는 단계;

상기 제2 보호막 상에 제2 절연막을 형성하는 단계;

상기 제2 절연막을 관통하여 상기 하부 배선에 접촉되는 제1 콘택을 형성하는 단계;

상기 제2 절연막, 상기 제2 보호막 및 상기 제1 보호막 패턴을 관통하여 상기 상부 전극에 접촉되는 제2 콘택을 형성하는 단계; 및

상기 제1 및 제2 콘택 상에 제1 및 제2 상부 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 14】

제 13 항에 있어서, 상기 상부 전극을 형성하는 동안 상기 제1 보호막 패턴 및 상기 상부 전극 주변의 상기 유전층도 부분적으로 식각되어 상기 유전층의 중앙부가 돌출되는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 15】

제 14 항에 있어서, 상기 식각된 제1 보호막 패턴의 두께는 및 상기 제2 보호막의 두께는 각기 상기 유전층의 중앙부와 나머지 부분의 두께의 차이와 동일한 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 16】

제 15 항에 있어서, 상기 제2 보호막은 상기 유전층의 중앙부, 상기 상부 전극 및 상기 제1 보호막 패턴의 측벽들 상에 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 17】

제 13 항에 있어서, 상기 하부 전극은 구리 또는 알루미늄을 포함하고, 상기 상부 전극은 티타늄 질화물 또는 탄탈륨 질화물을 포함하며, 상기 유전층은 산화물, 질화물 또는 산화물과 질화물의 복합물을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 18】

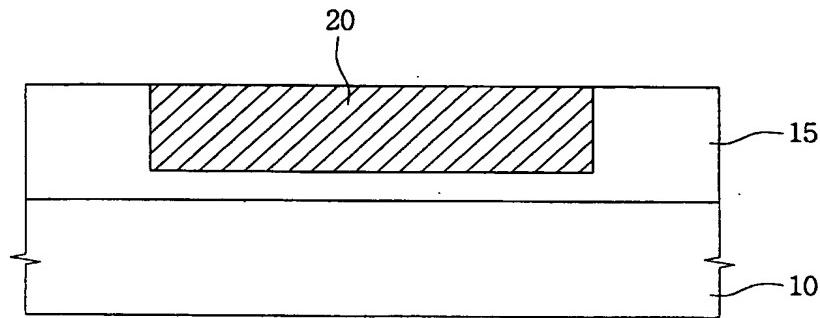
제 17 항에 있어서, 상기 제1 보호막 패턴 및 상기 제2 보호막은 각기 실리콘 질화물 또는 실리콘 탄화물을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 19】

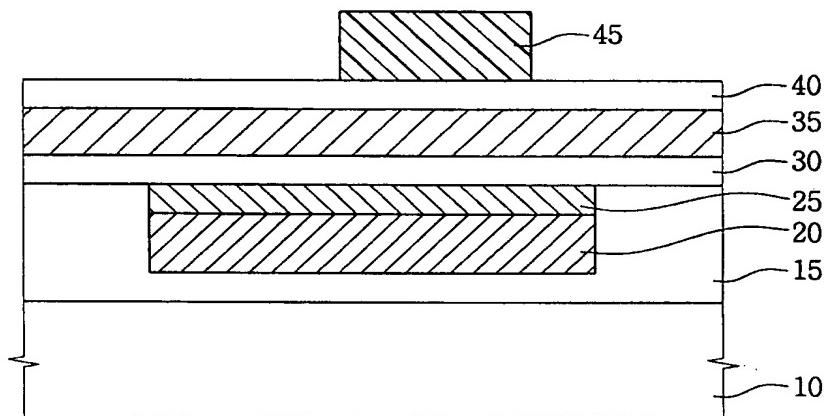
제 17 항에 있어서, 상기 제1 및 제2 상부 배선은 각기 구리 또는 알루미늄을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【도면】

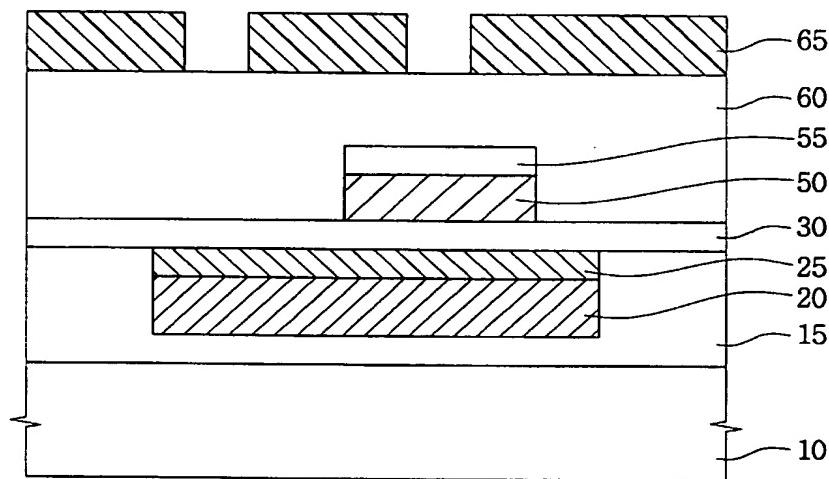
【도 1a】



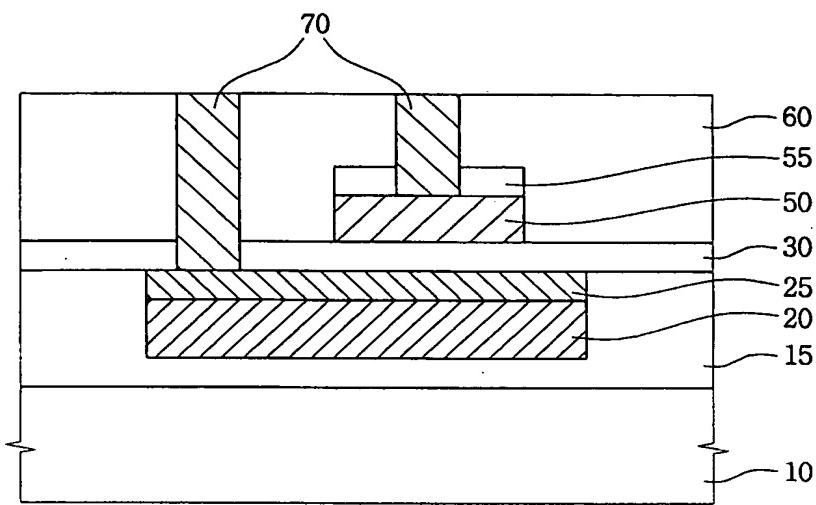
【도 1b】



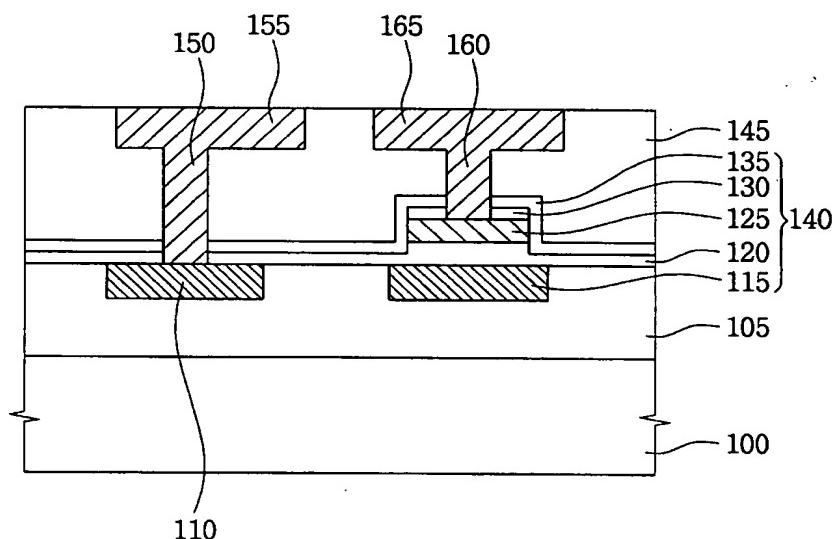
【도 1c】



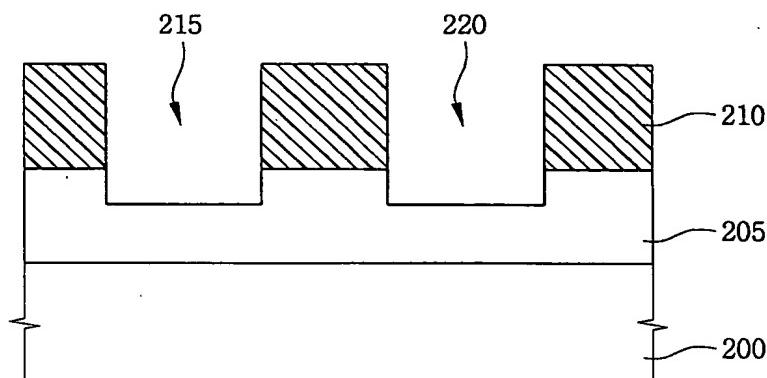
【도 1d】



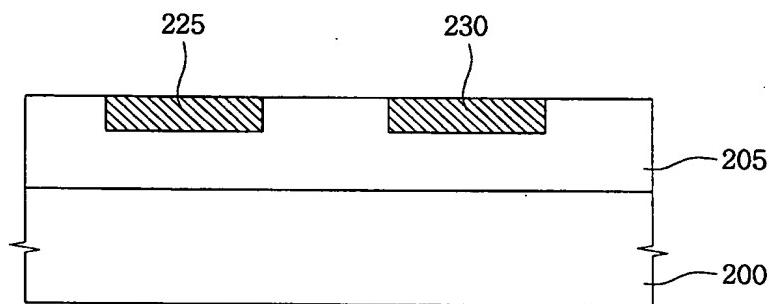
【도 2】



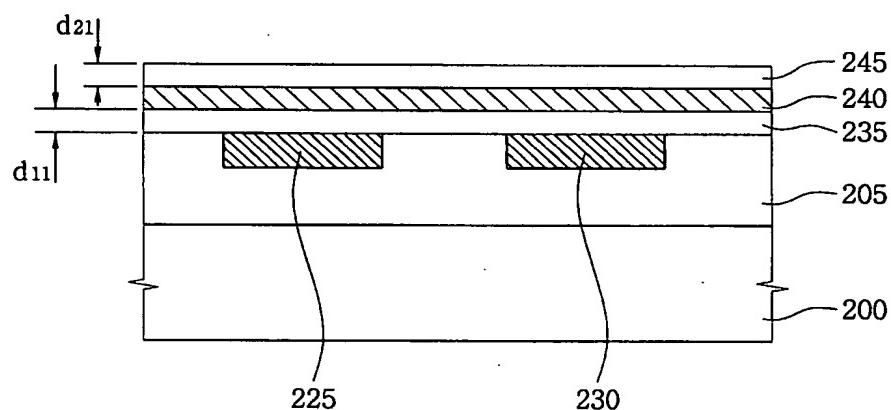
【도 3a】



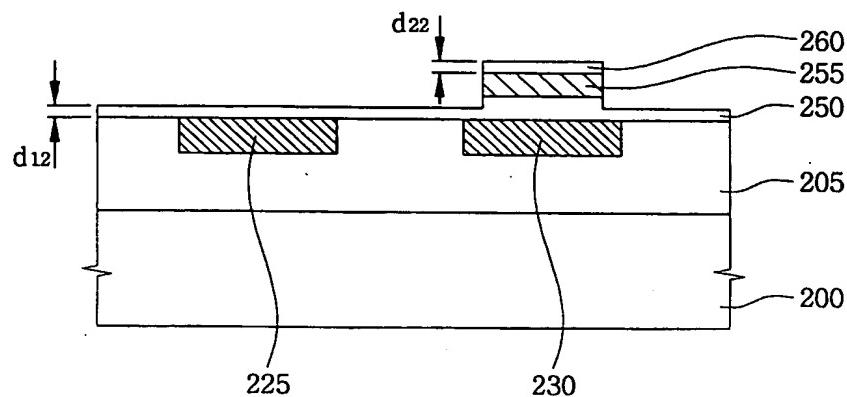
【도 3b】



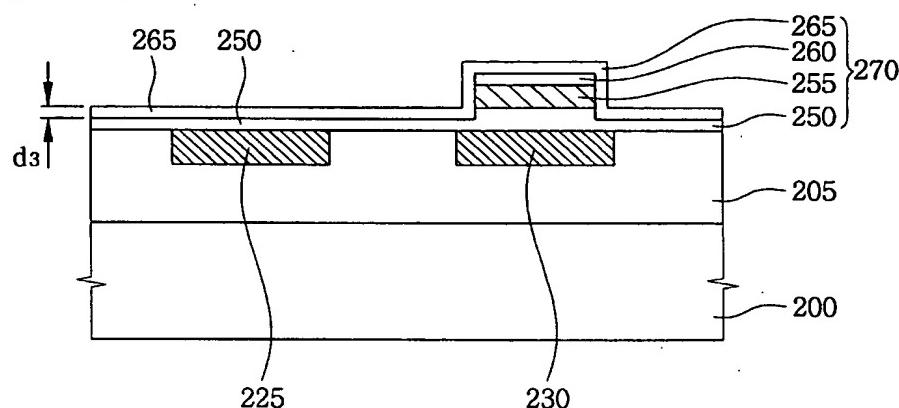
【도 3c】



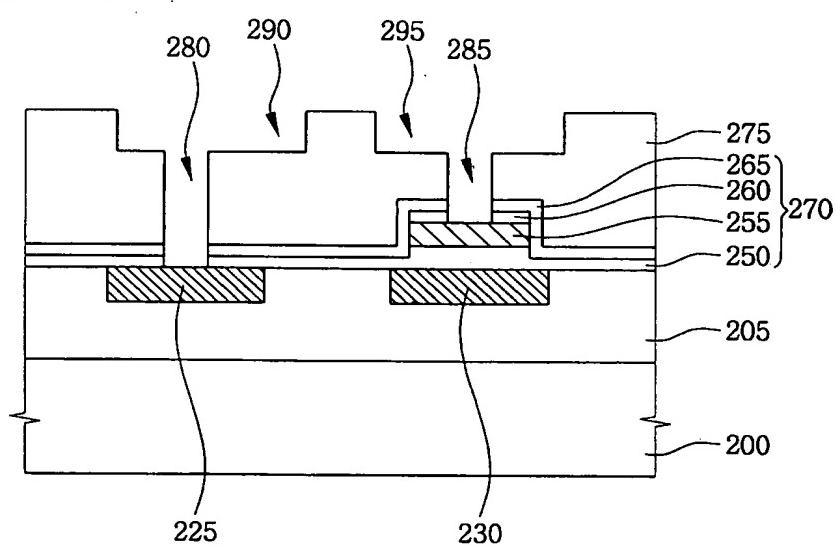
【도 3d】



【도 3e】



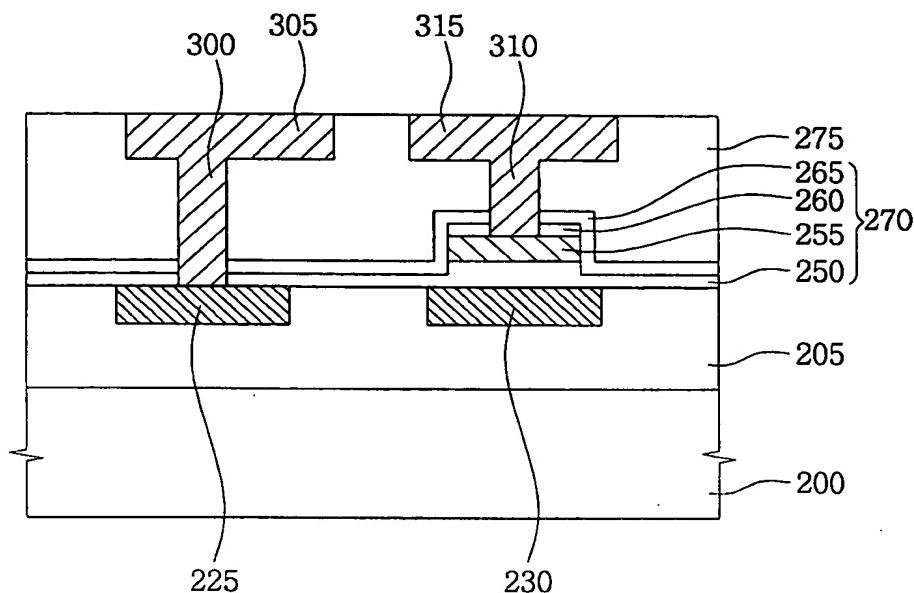
【도 3f】



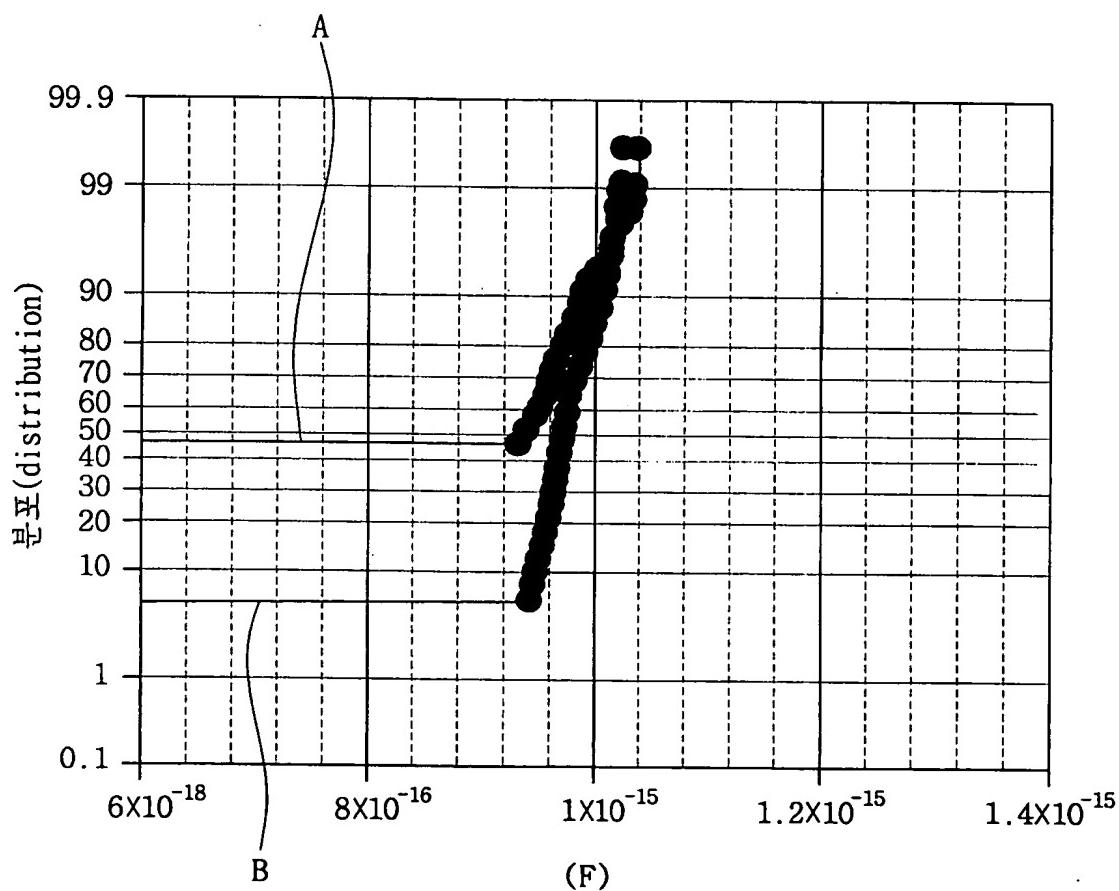
1020030014675

출력 일자: 2003/3/24

【도 3g】



【도 4】



【도 5】

